

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 05 月 09 日  
Application Date

申 請 案 號：092112650  
Application No.

申 請 人：南亞科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 6 月 26 日  
Issue Date

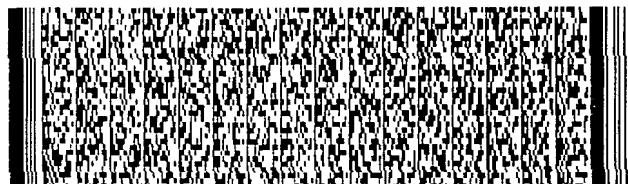
發文字號：09220634180  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一 發明名稱	中 文	溝槽式電容的形成方法
	英 文	
二 發明人 (共3人)	姓 名 (中文)	1. 周士衷 2. 陳逸男 3. 蔡子敬
	姓 名 (英文)	1. Shih-Chung Chou 2. Yi-Nan Chen 3. Tzu-Ching Tsai
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄市前鎮區民權二路341號 2. 台北市北投區建民路151巷4號 3. 桃園縣蘆竹鄉南華一街39號10樓之9
住居所 (英 文)	1. 2. 3.	
三 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



054S.9828tw1n1 : 91279 : Chine.prd

四、中文發明摘要 (發明名稱：溝槽式電容的形成方法)

本發明提供一種溝槽式電容的形成方法，首先，提供一形成有深溝槽以及深溝槽電容器之半導體基底，深溝槽電容器具有節點介電層以及儲存節點，儲存節點填入深溝槽至一預定深度，節點介電層形成於深溝槽與深溝槽電容器間；接著，以特定方向對深溝槽頂部開口進行離子佈植，以在深溝槽頂部開口中之單一側壁及深溝渠電容器頂部形成形成一離子佈植區，並進行氧化步驟以在離子佈植區形成氧化層，以氧化層為罩幕，於深溝槽頂部開口之另一側壁形成側壁半導體層；在移除氧化層後，於深溝槽開口之表面上順應性形成阻障層，並於深溝槽內填入導電層。

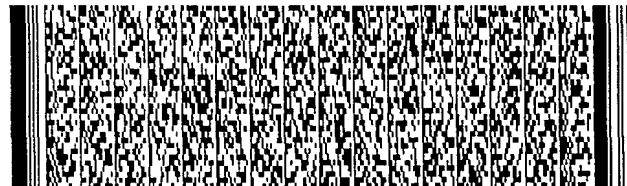
伍、(一)、本案代表圖為：第3f圖。

(二)、本案代表圖之元件代表符號簡單說明：

301~半導體基底；

302~墊氧化層；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：溝槽式電容的形成方法)

- 303~ 墊氮化層；
- 304~ 溝槽；
- 305~  $n^+$  型擴散區；
- 306~ 電容器介電層；
- 307~ 多晶矽層；
- 308~ 氧化層；
- 309~ 側壁半導體層；
- 310、310a~ 阻障層；
- 311~ 間隙壁；
- 312~ 導電層；
- 313~ 阻障層；
- 314~ 導電層。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

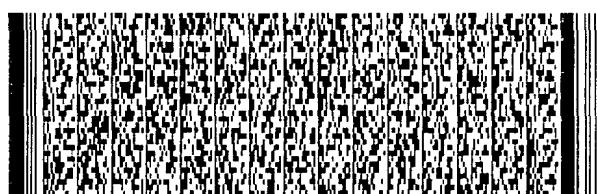
本發明係有關於一種溝槽式電容的製造方法，特別係有關於一種藉由在溝槽頂部進行一類型介電層製程來降低溝槽式電容頂部尺寸，用以減少電容間發生短路的方法。

### 【先前技術】

一個動態隨機存取記憶體胞(DRAM cell)是由一個電晶體以及一個電容器所構成，目前的平面電晶體設計係搭配一種深溝槽電容器(deep trench capacitor)，將三維的電容器結構製作於半導體基底內的深溝槽中，可以縮小記憶單元的尺寸與電力消耗，進而加快其操作速度。

請參閱第1A圖，其顯示習知DRAM胞之深溝槽排列的平面圖。應用於折疊位元線(folded bit line)結構中，每一個主動區域中包含有兩條字元線WL<sub>1</sub>、WL<sub>2</sub>以及一條位元線BL，其中符號DT代表深溝槽，符號BC代表位元接觸插塞。

請參閱第1B圖，其顯示習知DRAM胞之深溝槽電容器的切面示意圖。一半導體基底10內製作有一深溝槽DT，而深溝槽DT之下方區域係製作成為一深溝槽電容器12，其乃由一埋入電極板(buried plate)、一節點介電層(node dielectric)以及一儲存節點(storage node)所構成。深溝槽電容器12之製作方法如下所述。首先，利用反應性離子蝕刻(RIE)方法，可於p型半導體基底10內形成深溝槽DT。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG))



## 五、發明說明 (2)

以及高溫短時間的退火製程，可使 $n^+$ 型離子擴散至深溝槽DT下方區域，而形成一 $n^+$ 型擴散區14，用來作為深溝槽電容器12的埋入電極板。然後，於深溝槽DT下方區域之內側壁與底部形成一氮化矽層16，用來作為深溝槽電容器12的節點介電層。後續，於深溝槽DT內沉積一 $n^+$ 型摻雜之第一多晶矽層18，並回蝕(recess)第一多晶矽層18至一預定深度，則可用來作為深溝槽電容器12的儲存節點。

完成上述之深溝槽電容器12之後，先於深溝槽DT上方區域的側壁上製作一領型介電(collar dielectric)層20，再於深溝槽DT上方區域內製作一 $n^+$ 型摻雜之第二多晶矽層22，再繼續製作一第三多晶矽層24。後續則可進行一淺溝隔離(STI)結構26、字元線WL<sub>1</sub>、WL<sub>2</sub>、源/汲極擴散區域28、位元接觸插塞BC以及位元線BL等製程。淺溝隔離結構26是用來區分兩相鄰之DRAM胞。

此外，為了連接深溝槽電容器12以及表面之電晶體，深溝槽DT之頂部開口周圍的矽基底10內形成有一埋入帶外擴散(buried strap outdiffusion)區域30，亦稱之為一節點接合介面(node junction)，其形成方式是藉由第二多晶矽層22內之 $n^+$ 型離子經由第三多晶矽層24而向外擴散至鄰近的矽基底10中。因此，第三多晶矽層24也稱為一埋入帶(buried strap) 24。領型介電層20之目的是使隔絕埋入帶外擴散區域30與埋入電極板14之間達到有效的隔絕，以防止此處的漏電流問題危害DRAM胞之保留時間(retention time)。

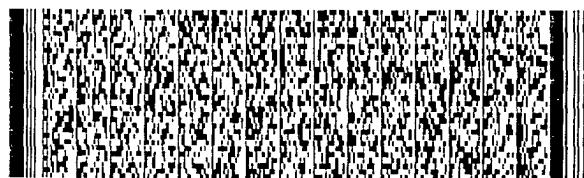


### 五、發明說明 (3)

然而，領型介電層20之傳統製作會加大深溝槽DT的頂部開口尺寸，如此會影響字元線WL與深溝槽DT之重疊容忍度以及埋入帶外擴散區域30的分佈，特別是，會縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，進而導致埋入帶外擴散區域30處發生嚴重的漏電流，並影響次電壓(sub-Vt)之表現。

請參閱第2A至2E圖，其顯示習知領型介電層製程之切面示意圖。如第2A圖所示，一p型半導體基底10已經完成深溝槽電容器12之製作，包含有：一氮化矽墊層32、一深溝槽DT、一n<sup>+</sup>型擴散區14、一氮化矽層16以及一n<sup>+</sup>型摻雜之第一多晶矽層18。然後，如第2B圖所示，去除深溝槽DT上方區域之氮化矽層16並進行第一多晶矽層18之回蝕刻步驟之後，利用氧化方法於矽基底10之暴露表面上長成第一氧化矽層34，用以覆蓋深溝槽DT上方區域之側壁，可確保n<sup>+</sup>型擴散區14與後續製作之埋入帶外擴散區域30之間的絕緣效果。接著，如第2C圖所示，利用CVD方式沉積第一二氧化矽層36，再以非等向性乾蝕刻方式去除第一多晶矽層18頂部之第二二氧化矽層36。

後續，如第2D圖所示，於深溝槽DT內沉積一n<sup>+</sup>型摻雜之第二多晶矽層22，並回蝕刻第二多晶矽層22至一預定深度。最後，如第2E圖所示，利用濕蝕刻方式去除部份之第一氧化矽層34以及第二二氧化矽層36，直至凸出第二多晶矽層22的頂部，則殘留之第一氧化矽層34以及第二二氧化矽層36係用作為一領型介電層20。



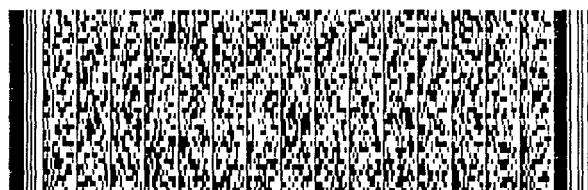
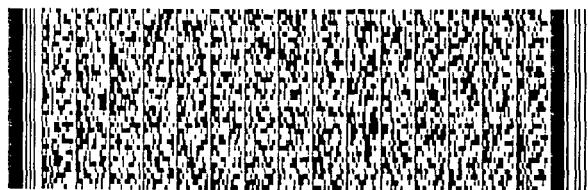
## 五、發明說明 (4)

不過，由於第一氧化矽層34之氧化成長過程會使一部份的矽基底10轉變成為 $SiO_2$ ，因此後續的濕蝕刻步驟會擴張深溝槽DT頂部開口尺寸，進而縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，則愈加惡化漏電流現象與次電壓(sub-Vt)的表現。雖然第一氧化矽層34之製作是造成深溝槽DT頂部開口擴大的最主要因素，但是第一氧化矽層34之氧化成長步驟是相當重要的，若是省略此步驟或是縮小第一氧化矽層34之厚度，則將導致 $n^+$ 型擴散區14與埋入帶外擴散區域30之間發生更嚴重的接合面漏電問題。有鑑於此，在必須進行第一氧化矽層34之氧化成長步驟的前提下，如何改善領型介電層製程以避免擴大深溝槽DT之頂部開口尺寸，是當前亟需探究之重點。

### 【發明內容】

有鑑於此，本發明之主要目的在於提供一種領型介電層製程，藉由一道離子佈植製程，可以使氧化矽選擇性地成長在埋入帶外擴散區域以外的深溝槽側壁上，並於其內側增加一額外領型磊晶矽層，以降低深溝槽之頂部尺寸，可有效避免溝槽間發生彼此結合(merge)或短路的情況。

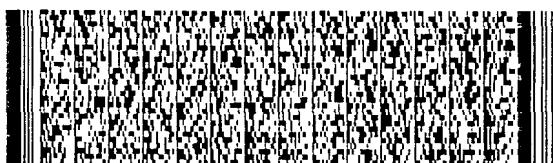
根據上述目的，本發明提供一種溝槽式電容的形成方法，包括下列步驟：提供一半導體基底，半導體基底上形成有一深溝槽以及一深溝槽電容器，深溝槽電容器具有一節點介電層以及一儲存節點，儲存節點填入深溝槽至一預定深度，且節點介電層形成於深溝槽與深溝槽電容器間之



## 五、發明說明 (5)

深溝槽之側壁及底部；以一特定方向對深溝槽頂部開口進行一離子佈植步驟，以在深溝槽頂部開口中之單一側壁之半導體基底及深溝渠電容器頂部形成形成一離子佈植區；對半導體基底進行氧化步驟，以在離子佈植區形成一氧化層；以氧化層為罩幕，於深溝槽頂部開口露出表面之半導體基底表面之側壁形成一側壁半導體層；移除氧化層；於深溝槽開口頂部之半導體基底、側壁半導體層及深溝槽電容器之表面上順應性形成一阻障層；及於深溝槽內填入一導電層與該儲存節點接觸。

根據上述目的，本發明再提供一種溝槽式電容的形成方法，包括下列步驟：提供一半導體基底，半導體基底上形成有一深溝槽以及一深溝槽電容器，深溝槽電容器具有一節點介電層以及一儲存節點，儲存節點填入深溝槽至一預定深度，且節點介電層形成於深溝槽與深溝槽電容器間之深溝槽之側壁及底部，其中半導體基底之側壁具有一第一側壁及一第二側壁；以一特定方向對深溝槽頂部開口進行一離子佈植步驟，以在深溝槽頂部開口中之一第一側壁之半導體基底及深溝渠電容器頂部形成形成一離子佈植區；對半導體基底進行氧化步驟，以在深溝槽頂部開口之第一側壁、深溝槽電容器頂部表面形成一第一氧化層，且第二側壁表面上形成有一第二氧化層，其中第一氧化層之厚度大於第二氧化層；去除第二氧化層以露出深溝槽頂部開口之第二側壁之半導體基底表面；以第一氧化層為罩幕，於第二側壁形成一側壁半導體層；移除第一氧化層，以露



## 五、發明說明 (6)

出第一側壁之半導體基底表面；於深溝槽開口頂部之第一側壁、側壁半導體層及深溝槽電容器之表面上順應性形成一第一阻障層；於深溝槽開口頂部之第一側壁及側壁半導體層分別形成一間隙壁；於深溝槽填入一第一導電層；依序回蝕刻第一導電層及間隙壁至一既定高度；及於深溝槽內之第一側壁、側壁半導體層及第一導電層表面上順應性形成一第二阻障層，且於深溝槽內填入一第二導電層至與深溝槽頂部開口等高。

為使本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

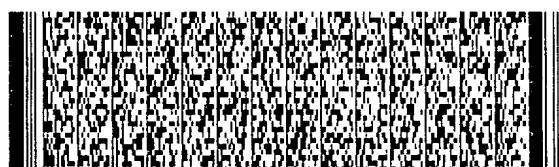
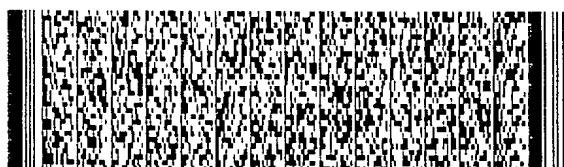
### 【實施方式】

請參考第3a-3f圖，第3a-3f圖係本發明之溝槽式電容的形成方法之切面示意圖。

請參考第3a圖，首先，提供一半導體基底301，於半導體基底301上依序形成一墊氧化層302、一墊氮化層303，並於墊氮化層303上依序形成一硬罩幕層及一具有開口之圖案化光阻層(未顯示)。

以圖案化光阻層為蝕刻罩幕對硬罩幕層進行蝕刻步驟，以在硬罩幕層上形成一開口，並將圖案化光阻層去除。然後，以硬罩幕層為罩幕，依序蝕刻墊氮化層303、墊氧化層302及半導體基底301以形成溝槽304。

請參考第3b圖，接著，於溝槽304的下面部分形成溝



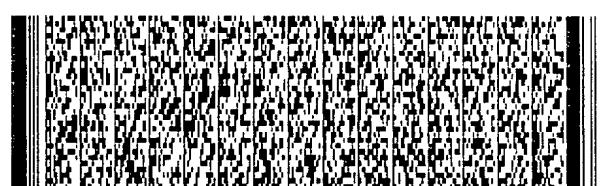
## 五、發明說明 (7)

槽電容器，其結構包括：埋入式電極板(BP)、順應性的電容器介電層306與電極板；其中，埋入式電極板(BP)例如是n<sup>+</sup>型擴散區305；電極板例如是多晶矽層307。

其形成方法主要是藉由在溝槽304之側壁及底部表面形成一重度摻雜氧化物，例如：摻矽矽玻璃層(ASG)，並利用高溫短時間的退火製程，可使n<sup>+</sup>型離子擴散至溝槽304下方區域，而形成一n<sup>+</sup>型擴散區305。然後，於溝槽304之內側壁與底部形成一電容器介電層306的材質例如是氧化矽-氮化矽(oxide-nitride，簡稱ON)的疊層結構、或是氧化矽-氮化矽-氧化矽(oxide-nitride-oxide，簡稱ONO)的疊層結構。再於溝槽304內沉積一n<sup>+</sup>型摻雜之導電層，導電層例如是多晶矽層307，並將多晶矽層307回蝕刻至一預定深度。如此一來，殘留之多晶矽層307係用來為電容器之儲存節點，而夾設於n<sup>+</sup>型擴散區305以及多晶矽層307之間的電容器介電層306則是用作為電容器之節點介電層。

請參考第3C圖，以一特定角度利用含氟元素氣體對溝槽304之開口頂部之第一側壁304a及多晶矽層307之表面進行離子佈植步驟，以在第一側壁304a及多晶矽層307之表面形成一離子佈植區。其中，特定角度例如是10至80度；含氟元素氣體例如是氟氣氣體。

接著，對半導體基底301進行氧化步驟，以在溝槽304之所露出之半導體基底301及多晶矽層307之表面上形成氧化層。因為溝槽304之第一側壁304a及多晶矽層307之表面形成有離子佈植區的緣故，離子佈植區上所形成之氧化層



## 五、發明說明 (8)

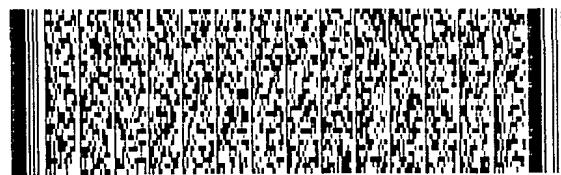
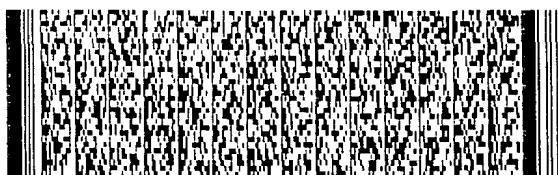
之厚度會較第二側壁304b上所形成之氧化層為厚。

然後，將第二側壁304b上之氧化層去除。因為第一側壁304a及多晶矽層307之表面上所形成氧化層較厚，因此在去除第二側壁304b上之氧化層後，仍會在溝槽304之第一側壁304a及多晶矽層307之表面上留下氧化層308，如第3d圖所示。

請參考第3e圖，以氧化層308為罩幕，於溝槽304之開口頂部之第二側壁304b上形成一側壁半導體層309，並於第一側壁304a所露出之半導體基底301、多晶矽層307及側壁半導體層309之表面上順應性形成一阻障層310。其中，側壁半導體層309之材質與半導體基底301相同，例如是 $p^+$ 磊晶矽層；阻障層310例如是氮化矽層。

請參考第3f圖，於該半導體基底301及溝槽304上順應性形成一絕緣層，並對絕緣層進行非等向性蝕刻步驟，以在溝槽304之開口頂部之第一側壁304a及側壁半導體層309表面上分別形成一間隙壁。

接著，於半導體基底301上形成一導電層，導電層會填滿溝槽304；且對導電層進行回蝕刻步驟，以在溝槽304之開口頂部留下一既定高度之導電層312；並以導電層312為罩幕，將露出表面之間隙壁及阻障層310分別去除以形成間隙壁311及阻障層310a。其中，間隙壁311即為所謂的領型絕緣層，用以隔絕電容之下電極板及後續會形成之電容導線，材質例如是氧化層或氮化層；導電層312例如是多晶矽層，用以作為電容導線。

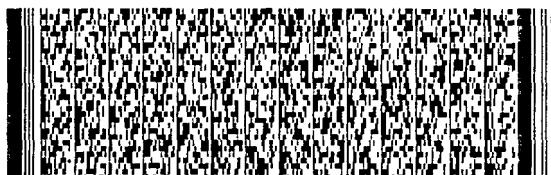


## 五、發明說明 (9)

請參考第3g圖，於溝槽304之第一側壁304a所露出之半導體基底301、側壁半導體層309及多晶矽層307之表面上順應性形成一阻障層313；接著，於半導體基底301上形成一導電層，導電層會填滿溝槽304之頂部開口。然後，對導電層進行平坦化步驟，直至露出墊氮化層303為止，以留下溝槽304之頂部開口之導電層314。其中，導電層314例如是多晶矽層，與導電層312共同形成作為溝槽電容器之多晶矽層307之電容導線。

請參考第3h圖，第3h圖係第3g圖之AA切線之切面圖。由圖中可以清楚看到，因為額外形成一側壁半導體層309的緣故，可在導電層314兩兩之間增加一阻隔的功能，可有效隔離電容導線，就算將電容之面積或體積加大，同樣可避免電容導線太過接近而導致電容連結或短路的情況，進而提高產品之良率，並可提升電容之儲存電量。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖顯示習知DRAM胞之深溝槽排列的平面圖。

第1B圖顯示習知DRAM胞之深溝槽電容器的切面示意圖。

第2A至2E圖顯示習知領型介電層製程之切面示意圖。

第3a-3h圖係本發明之溝槽式電容的形成方法之切面示意圖。

符號說明：

WL<sub>1</sub>、WL<sub>2</sub>~字元線；

BL~位元線；

DT~深溝槽；

BC~位元接觸插塞；

10~半導體基底；

12~深溝槽電容器；

14~n<sup>+</sup>型擴散區；

16~氮化矽層；

18~第一多晶矽層；

20~領型介電層；

22~第二多晶矽層；

24~第三多晶矽層；

26~淺溝隔離結構；

28~源/汲極擴散區域；

30~埋入帶外擴散區域；

L~重疊邊緣區域；



圖式簡單說明

- 32~ 氮化矽墊層；
- 34~ 第一氧化矽層；
- 36~ 第二氧化矽層；
- 301~ 半導體基底；
- 302~ 墊氧化層；
- 303~ 墊氮化層；
- 304~ 溝槽；
- 305~  $n^+$ 型擴散區；
- 306~ 電容器介電層；
- 307~ 多晶矽層；
- 308~ 氧化層；
- 309~ 側壁半導體層；
- 310、310a~ 阻障層；
- 311~ 間隙壁；
- 312~ 導電層；
- 313~ 阻障層；
- 314~ 導電層。



## 六、申請專利範圍

### 1. 一種溝槽式電容的形成方法，包括下列步驟：

提供一半導體基底，該半導體基底上形成有一深溝槽以及一深溝槽電容器，該深溝槽電容器具有一節點介電層以及一儲存節點，該儲存節點填入該深溝槽至一預定深度，且該節點介電層形成於該深溝槽與該深溝槽電容器間之該深溝槽之側壁及底部；

以一特定方向對該深溝槽頂部開口進行一離子佈植步驟，以在該深溝槽頂部開口中之單一側壁之該半導體基底及該深溝槽電容器頂部形成形成一離子佈植區；

對該半導體基底進行氧化步驟，以在該離子佈植區形成一氧化層；

以該氧化層為罩幕，於該深溝槽頂部開口露出表面之該半導體基底表面之側壁形成一側壁半導體層；

移除該氧化層；

於該深溝槽開口頂部側壁形成一隔絕層；及

於該深溝槽內填入一導電層與該儲存節點接觸。

2. 如申請專利範圍第1項所述之溝槽式電容的形成方法，其中該離子佈植製程係利用含氟元素氣體作為離子源，用以促進該氧化層之成長。

3. 如申請專利範圍第2項所述之溝槽式電容的形成方法，其中該含氟元素氣體為氟氣氣體。

4. 如申請專利範圍第1項所述之溝槽式電容的形成方法，其中該側壁半導體層為磊晶矽層。

5. 如申請專利範圍第1項所述之溝槽式電容的形成方



## 六、申請專利範圍

法，其中該側壁半導體層之材質與該半導體基底相同。

6. 如申請專利範圍第1項所述之溝槽式電容的形成方法，其中該阻隔層為氧化層或氮化層。

7. 如申請專利範圍第1項所述之溝槽式電容的形成方法，其中該導電層為多晶矽層。

8. 如申請專利範圍第1項所述之溝槽式電容的形成方法，其中該節點介電層之材質為氮化矽。

9. 如申請專利範圍第1項所述之溝槽式電容的形成方法，其中該儲存節點之材質為 $n^+$ 型摻雜之多晶矽。

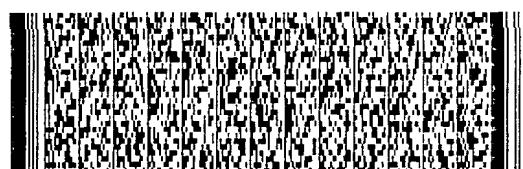
10. 一種溝槽式電容的形成方法，包括下列步驟：

提供一半導體基底，該半導體基底上形成有一深溝槽以及一深溝槽電容器，該深溝槽電容器具有一節點介電層以及一儲存節點，該儲存節點填入該深溝槽至一預定深度，且該節點介電層形成於該深溝槽與該深溝槽電容器間之該深溝槽之側壁及底部，其中該半導體基底之側壁具有一第一側壁及一第二側壁；

以一特定方向對該深溝槽頂部開口進行一離子佈植步驟，以在該深溝槽頂部開口中之一第一側壁之該半導體基底及該深溝槽電容器頂部形成形成一離子佈植區；

對該半導體基底進行氧化步驟，以在該深溝槽頂部開口之該第一側壁、該深溝槽電容器頂部表面形成一第一氧化層，且該第二側壁表面上形成有一第二氧化層，其中該第一氧化層之厚度大於該第二氧化層；

去除該第二氧化層以露出該深溝槽頂部開口之該第二



## 六、申請專利範圍

側壁之該半導體基底表面；

以該第一氧化層為罩幕，於該第二側壁形成一側壁半導體層；

移除該第一氧化層，以露出該第一側壁之該半導體基底表面；

於該深溝槽開口頂部之該第一側壁、該側壁半導體層及該深溝槽電容器之表面上順應性形成一第一阻障層；

於該深溝槽開口頂部之該第一側壁及該側壁半導體層分別形成一間隙壁；

於該深溝槽填入一第一導電層；

依序回蝕刻該第一導電層及該間隙壁至一既定高度；及

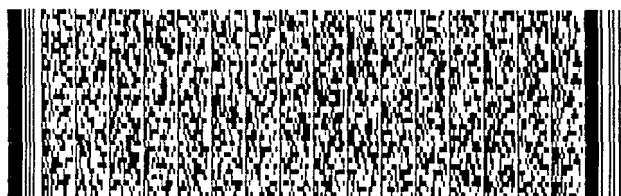
於該深溝槽內之該第一側壁、該側壁半導體層及該第一導電層表面上順應性形成一第二阻障層，且於該深溝槽內填入一第二導電層至與該深溝槽頂部開口等高。

11. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該離子佈植製程係利用含氟元素氣體作為離子源，用以促進該氧化層之成長。

12. 如申請專利範圍第11項所述之溝槽式電容的形成方法，其中該含氟元素氣體為氟氣氣體。

13. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該側壁半導體層為磊晶矽層。

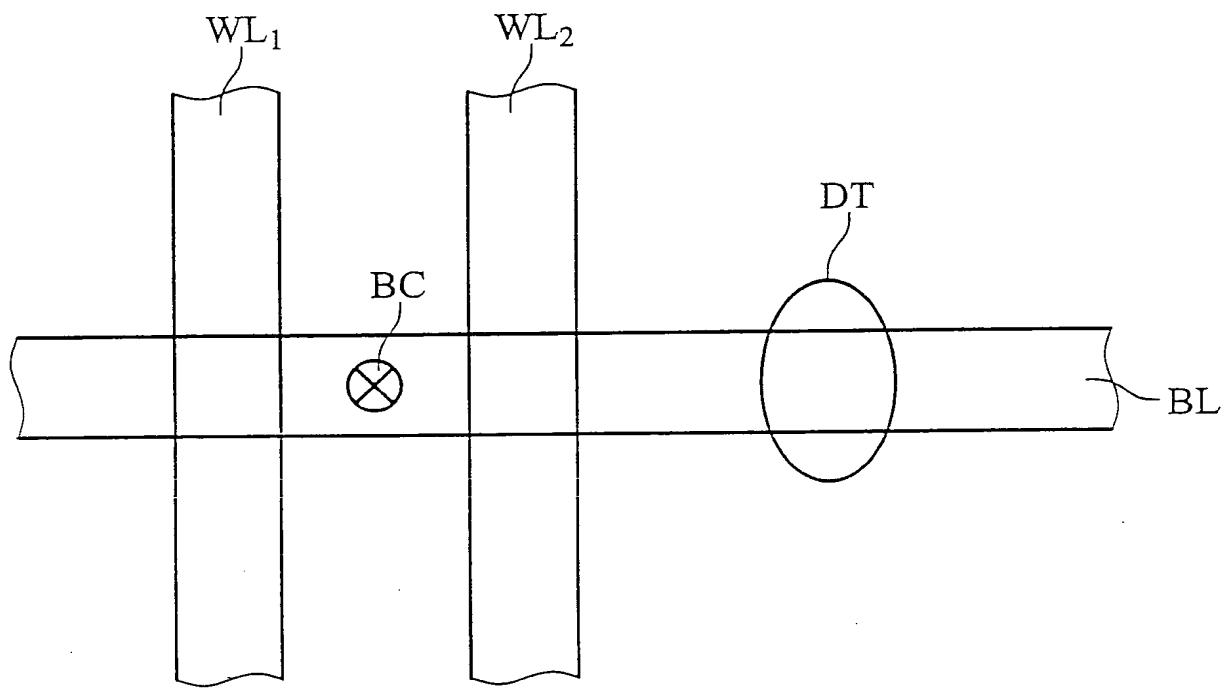
14. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該側壁半導體層之材質與該半導體基底相同。



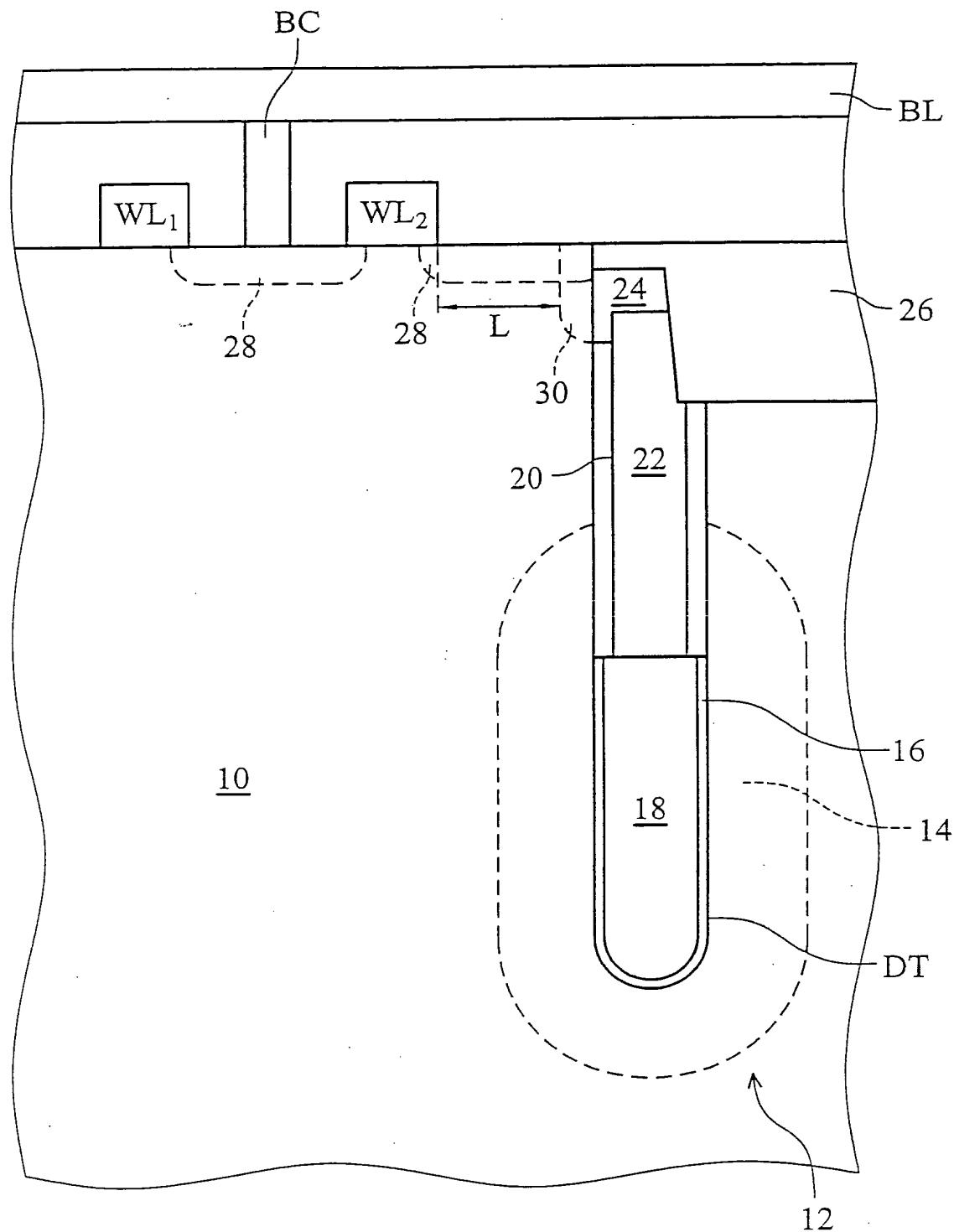
六、申請專利範圍

15. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該第一阻障層為氮化層。
16. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該間隙壁為氧化層或氮化層。
17. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該第一導電層為多晶矽層。
18. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該第二阻障層為氮化層。
19. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該第二導電層為多晶矽層。
20. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該節點介電層之材質為氮化矽。
21. 如申請專利範圍第10項所述之溝槽式電容的形成方法，其中該儲存節點之材質為 $n^+$ 型摻雜之多晶矽。

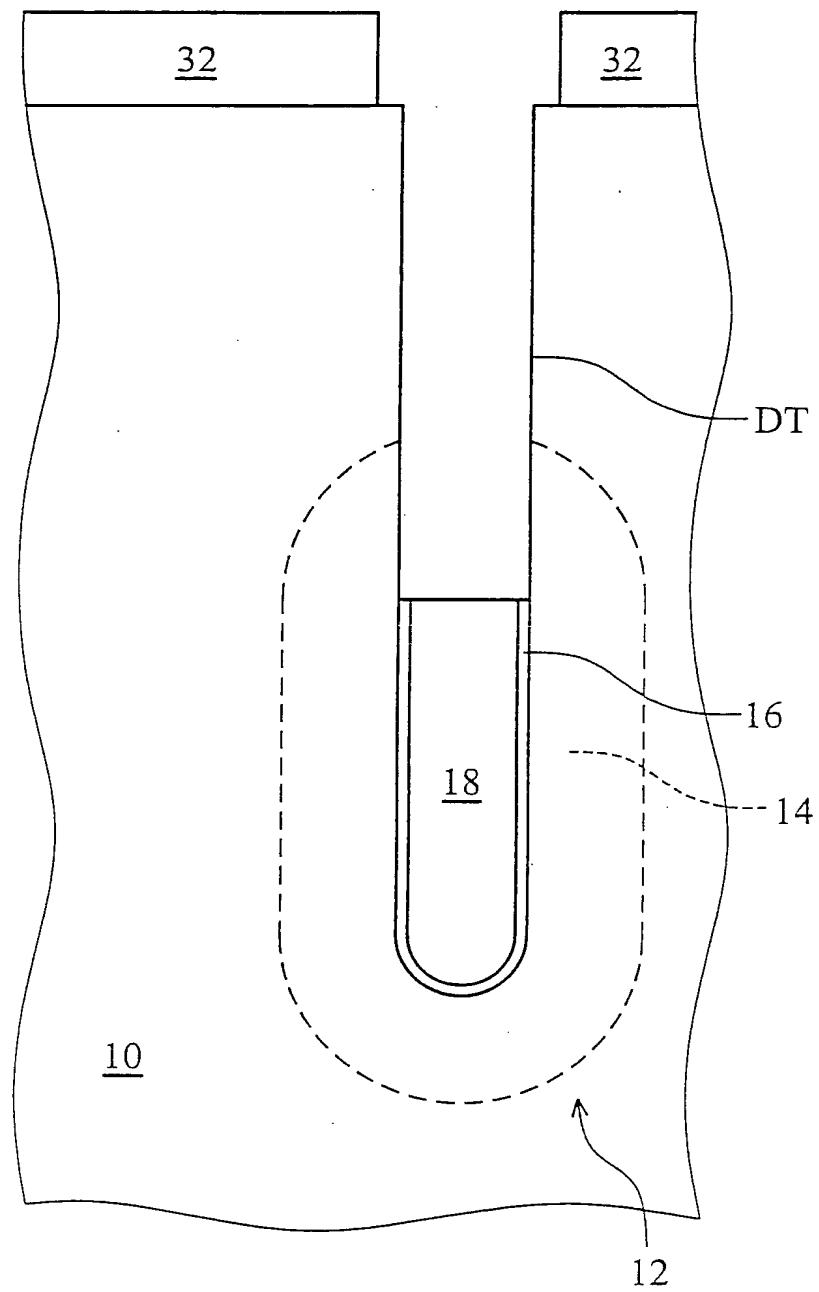




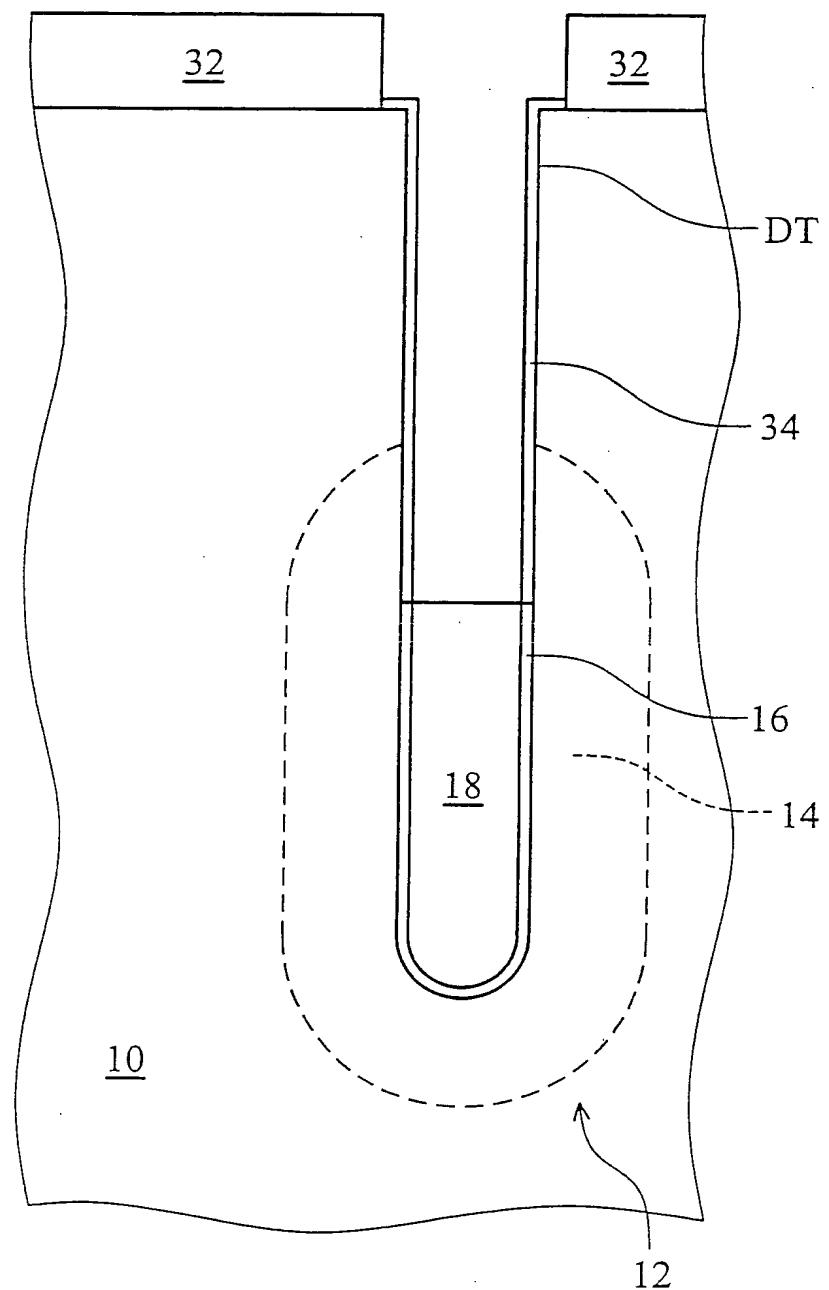
第 1A 圖



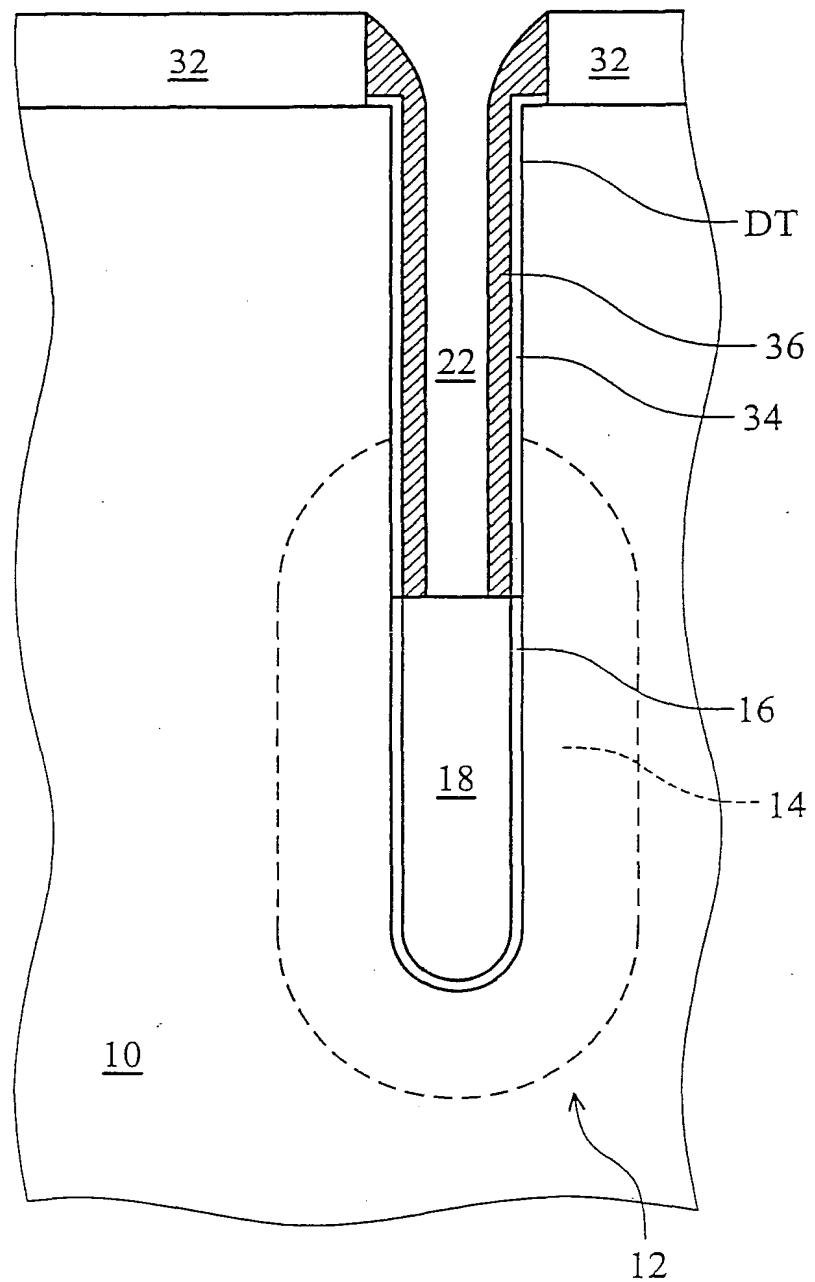
第1B圖



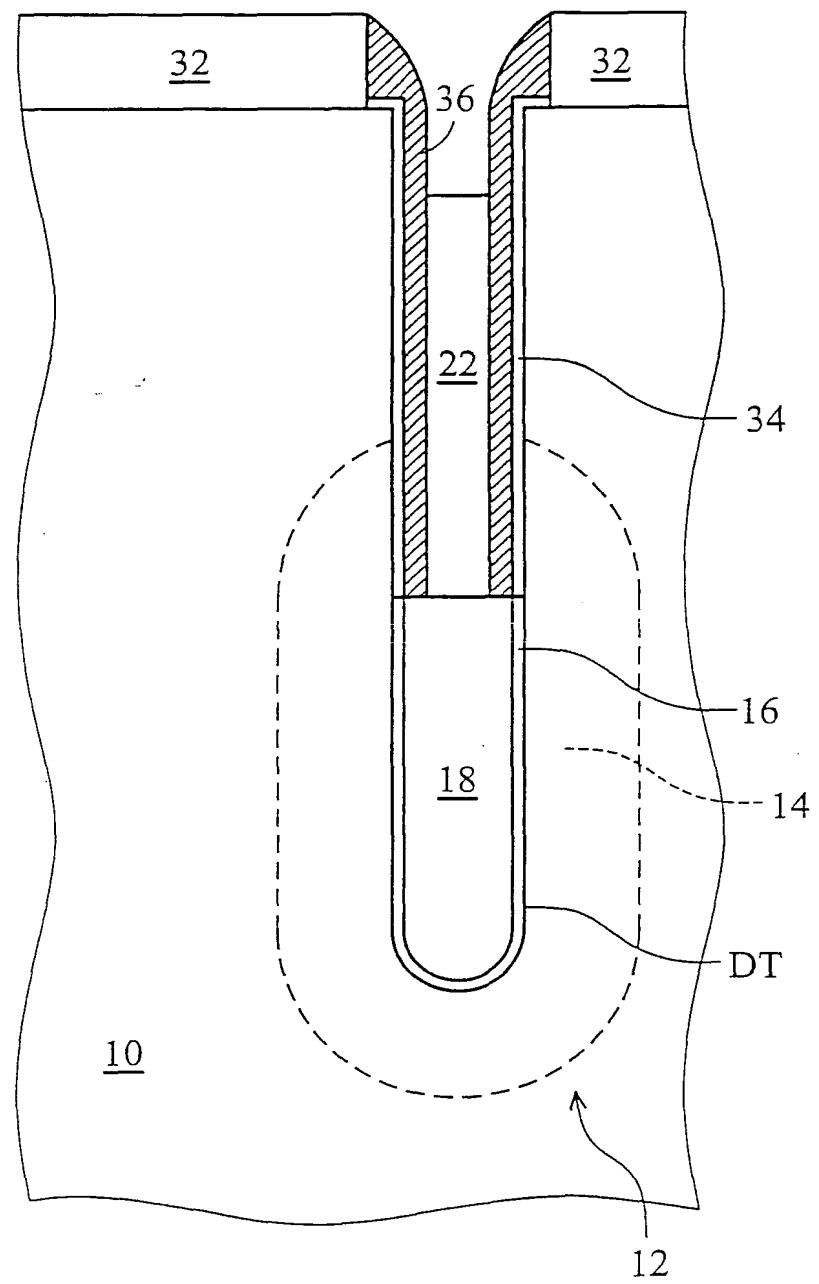
第 2A 圖



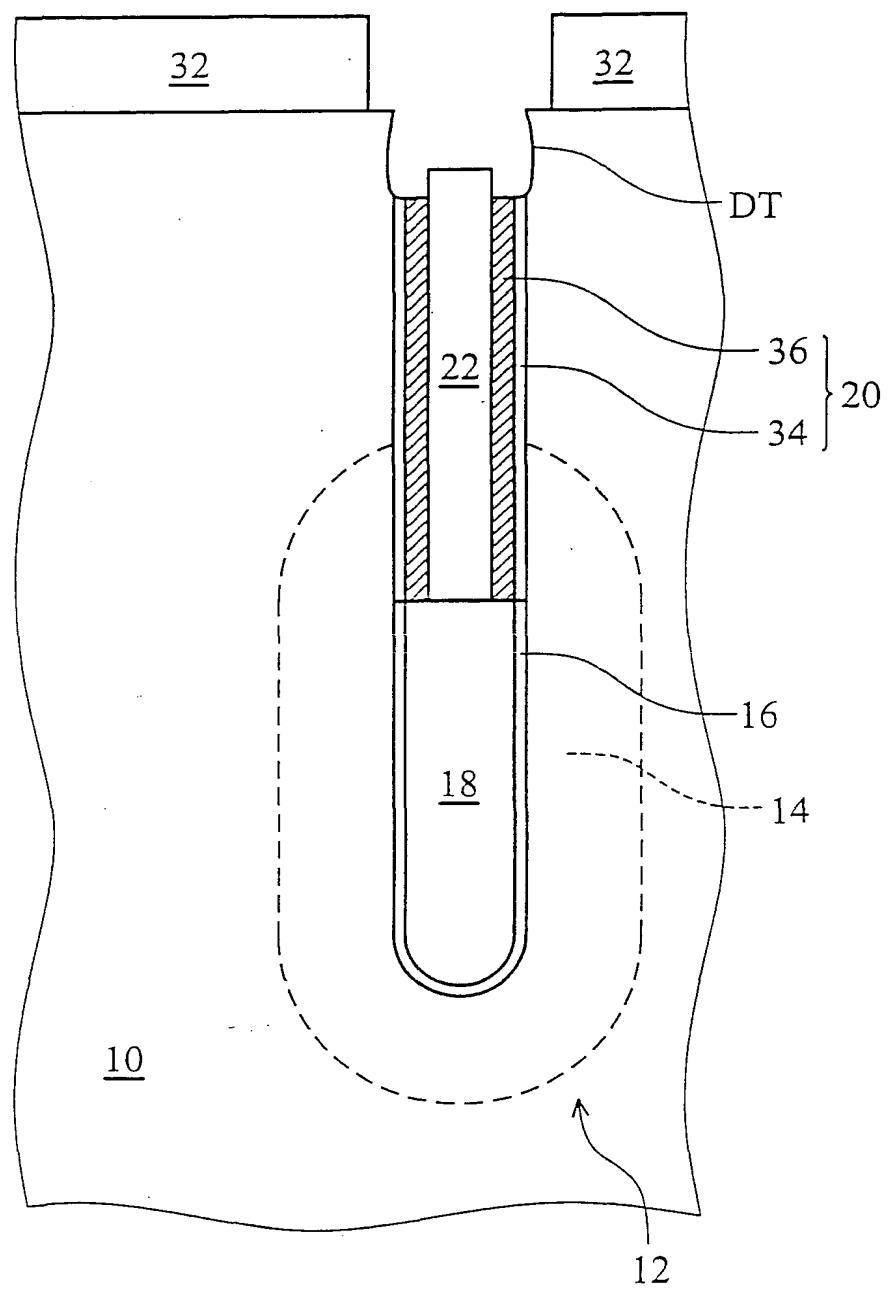
第2B圖



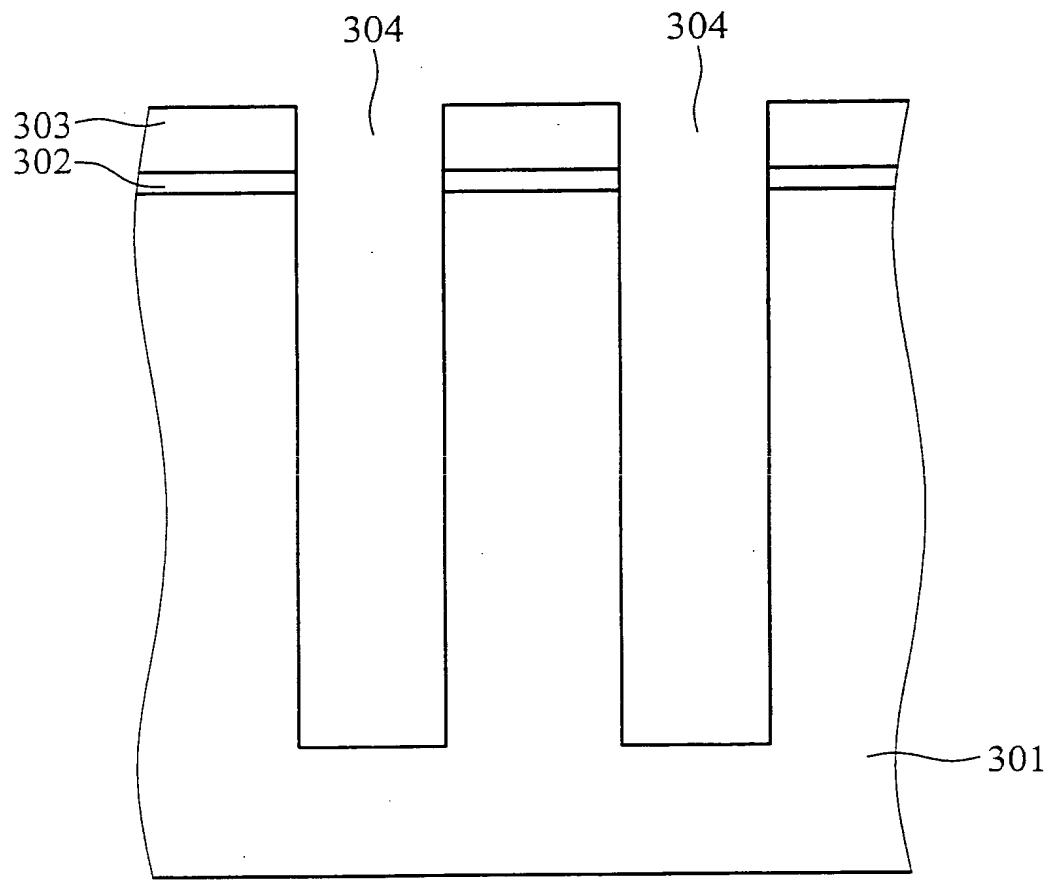
第2C圖



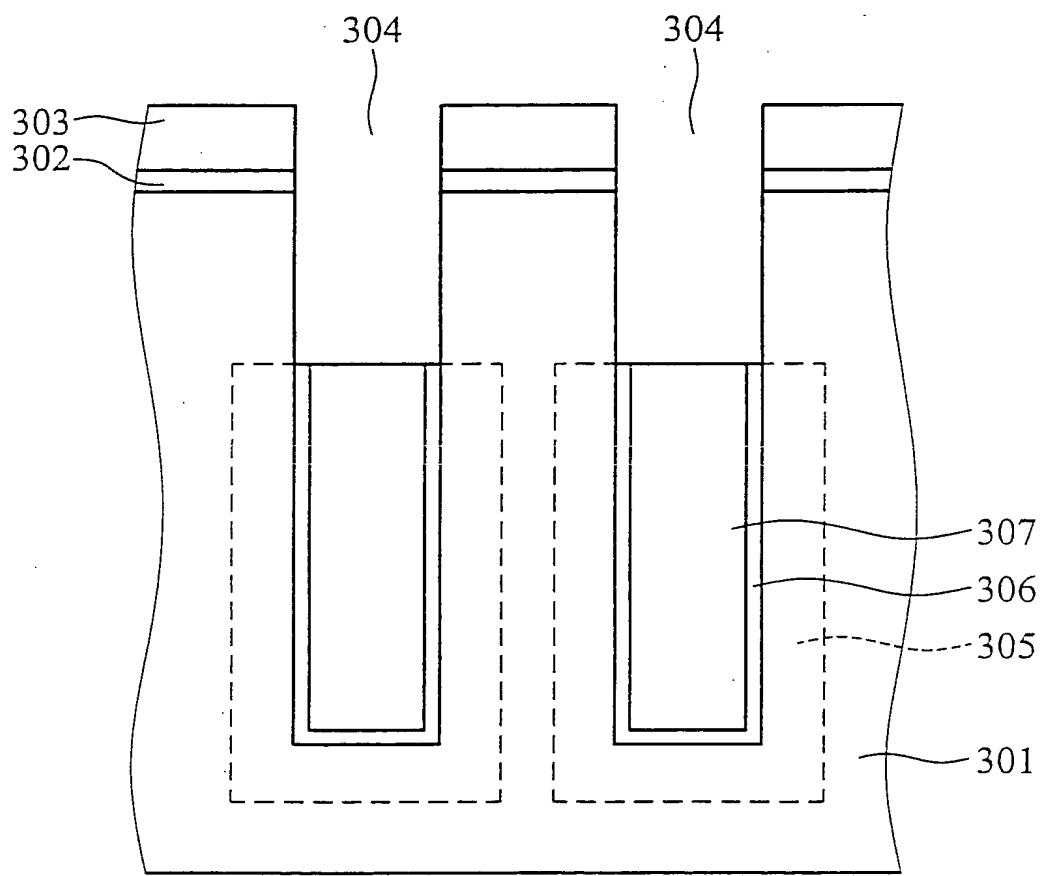
第 2D 圖



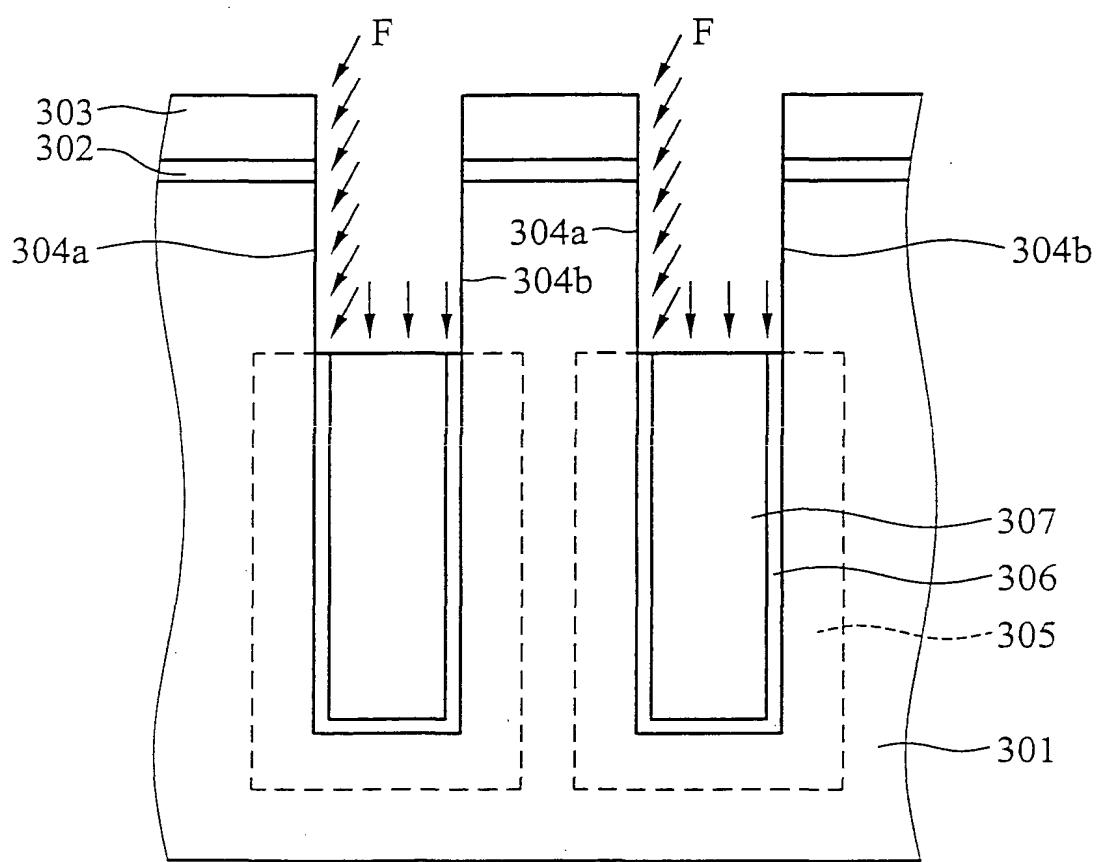
第2E圖



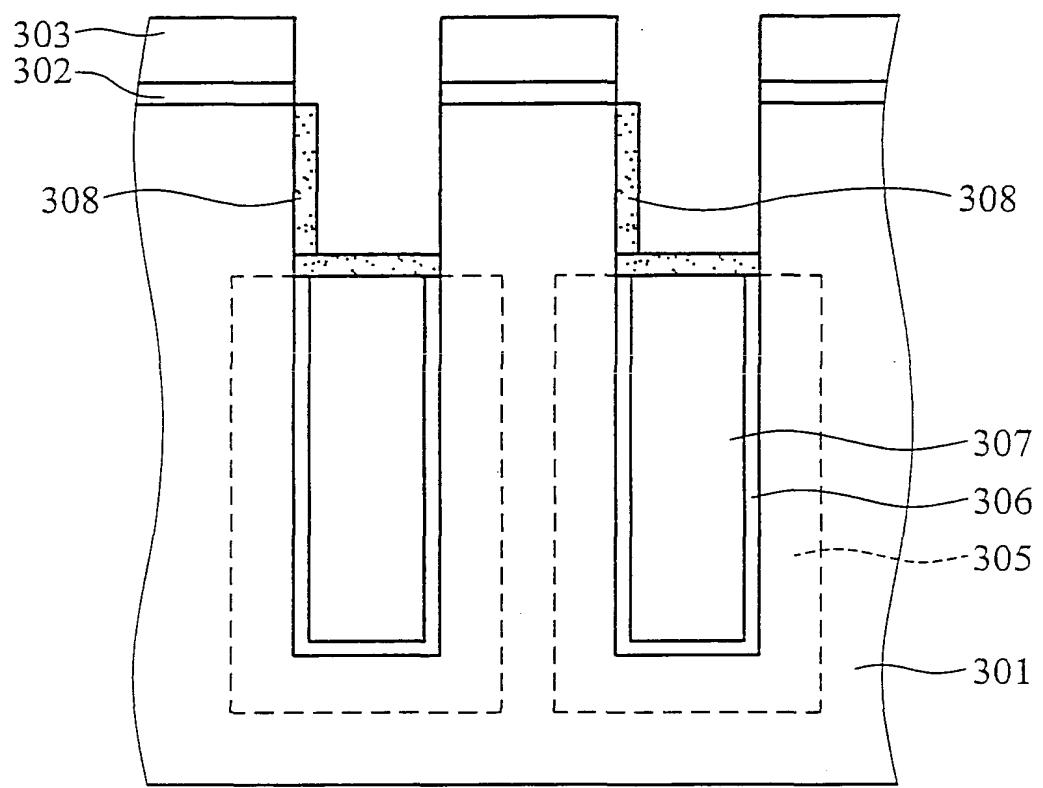
第3a圖



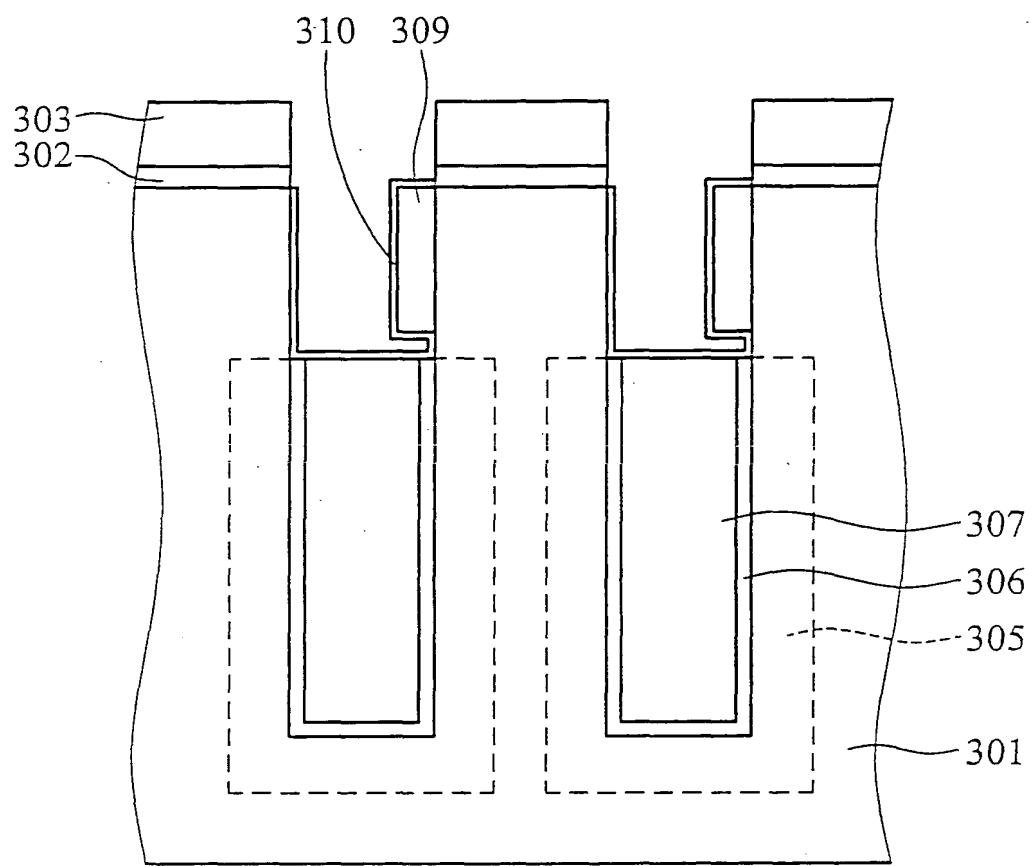
第3b圖



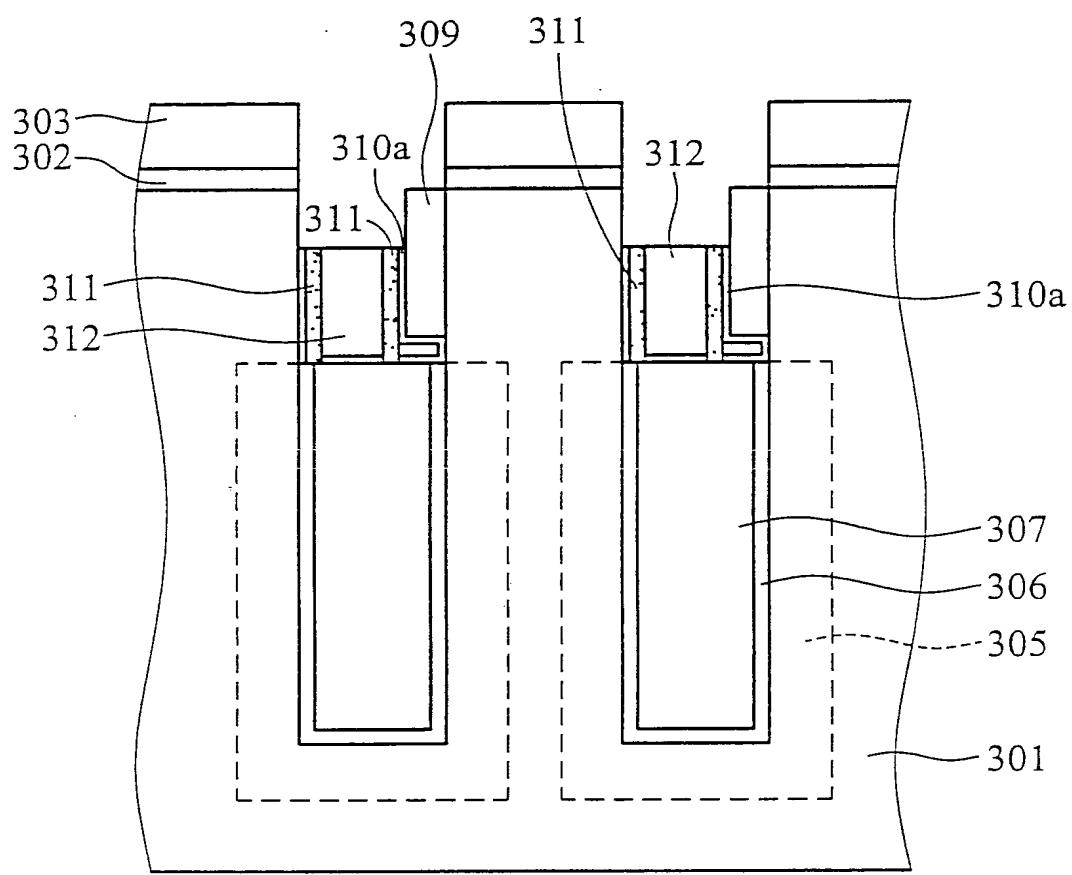
第3c圖



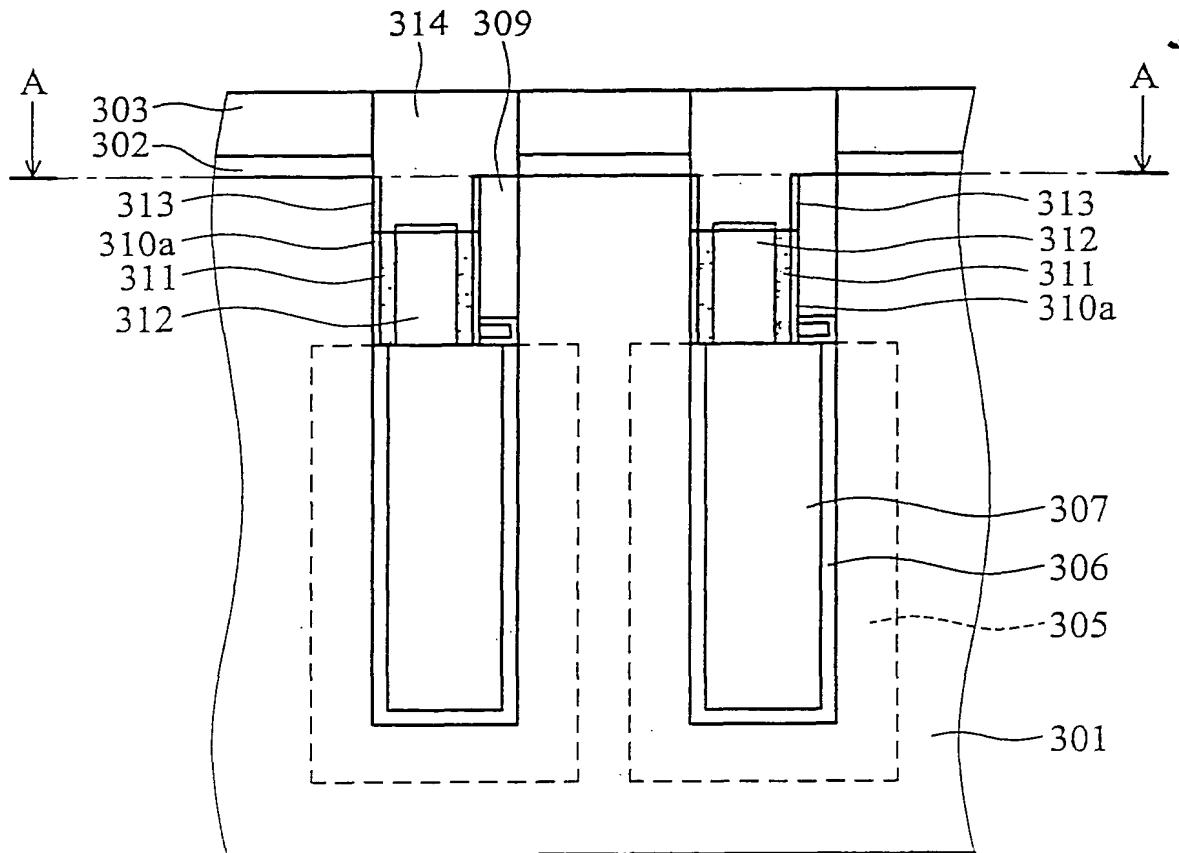
第3d圖



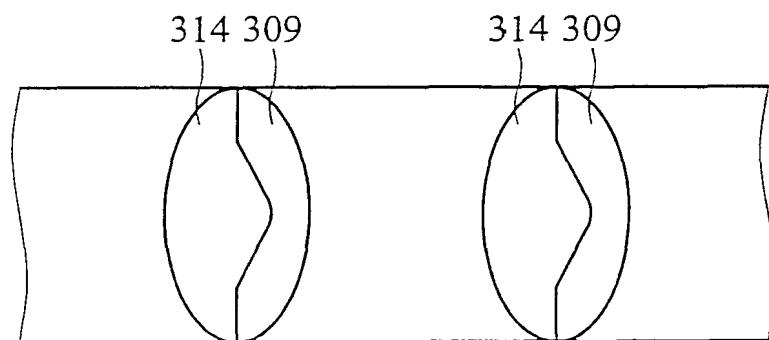
第3e圖



第3f圖

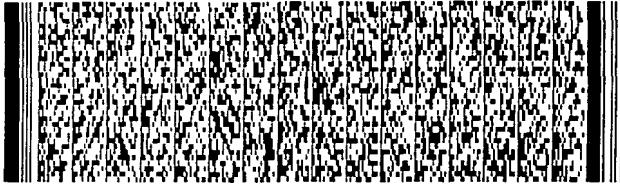


第3g圖



第3h圖

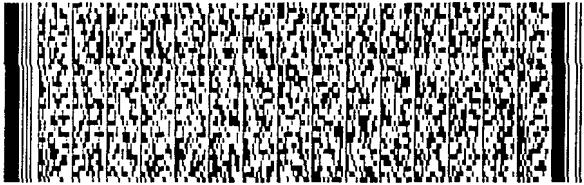
第 1/19 頁



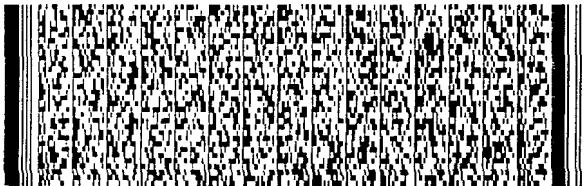
第 3/19 頁



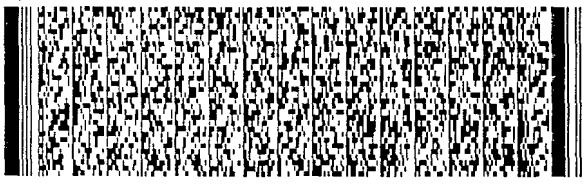
第 5/19 頁



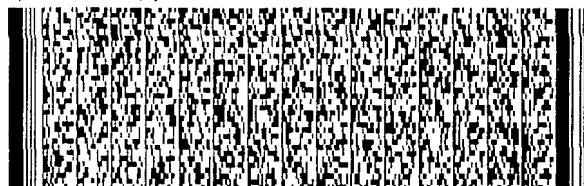
第 6/19 頁



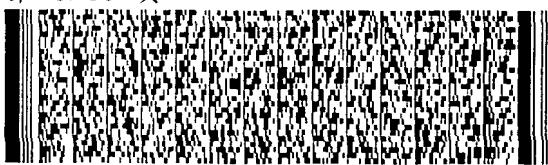
第 7/19 頁



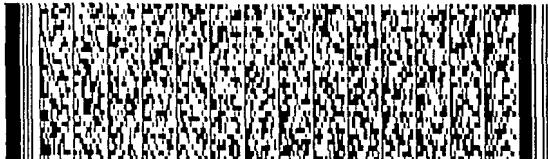
第 8/19 頁



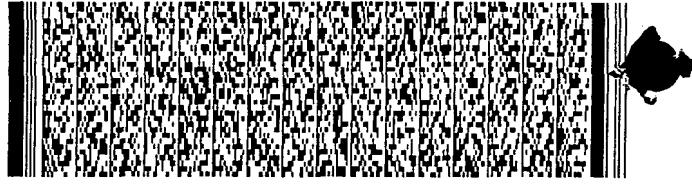
第 9/19 頁



第 10/19 頁



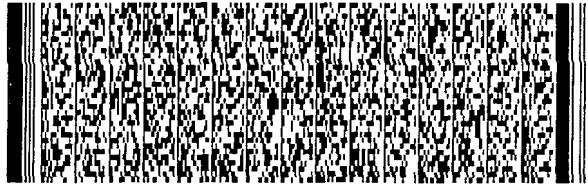
第 2/19 頁



第 4/19 頁



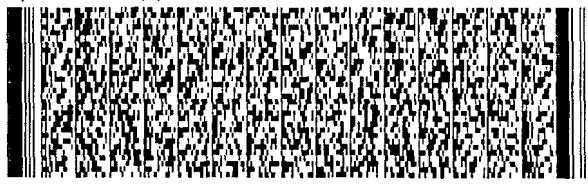
第 5/19 頁



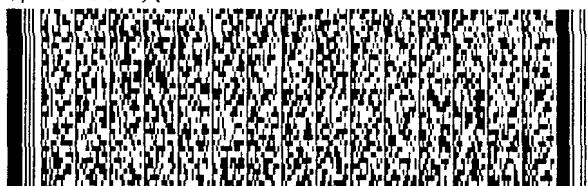
第 6/19 頁



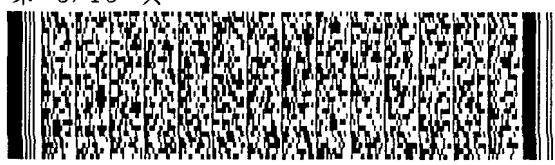
第 7/19 頁



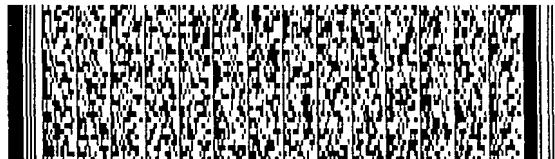
第 8/19 頁



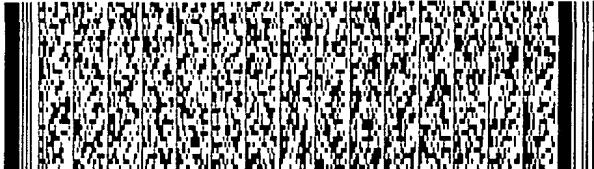
第 9/19 頁



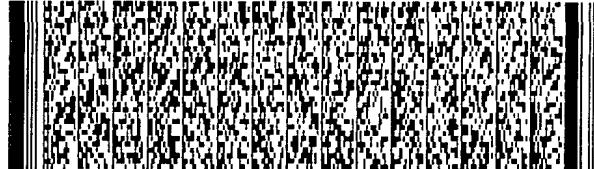
第 10/19 頁



第 11/19 頁



第 11/19 頁



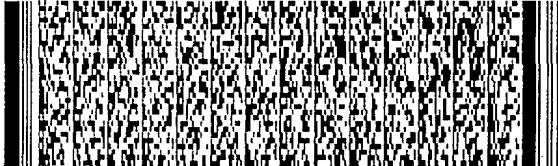
第 12/19 頁



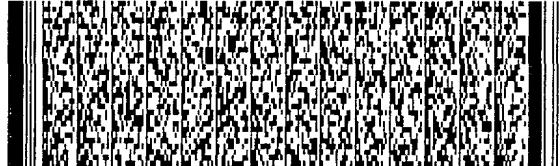
第 12/19 頁



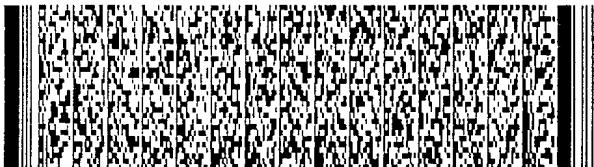
第 13/19 頁



第 13/19 頁



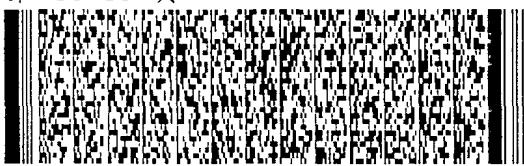
第 14/19 頁



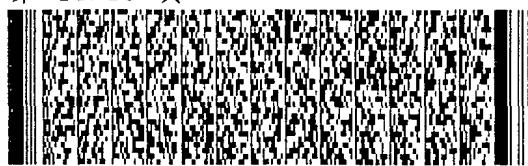
第 14/19 頁



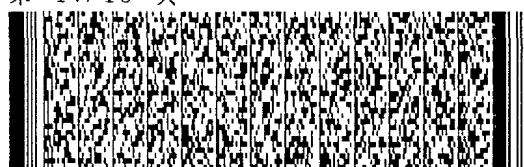
第 15/19 頁



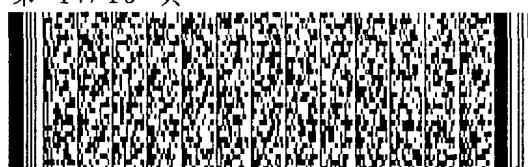
第 15/19 頁



第 16/19 頁



第 16/19 頁



第 17/19 頁



第 17/19 頁



第 18/19 頁



第 18/19 頁

